

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243650

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01G 4/12

(21)Application number : 11-042538

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.02.1999

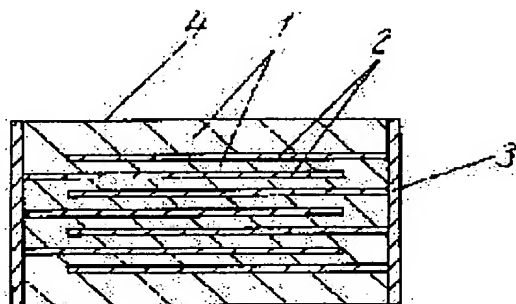
(72)Inventor : NISHIMURA TSUTOMU
MIDO YUJI
TAI NOBUYUKI
TOMIOKA SATOSHI

(54) MULTILAYER CERAMIC CAPACITOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure connection between inner electrodes and terminal electrodes at the same time with the manufacturing of a large capacitance multilayer ceramic capacitor of thin layer and high lamination in which inner structural defects are excluded, and to realize high reliability.

SOLUTION: Inner electrodes 2 of a capacitor element, constituted of ceramic dielectric formed by baking at a high temperature, is formed by using a thin film forming method or an electroless plating method. The mean thickness after baking is at least 0.3 μm and at most 1.0 μm . In terminal electrode layers 3 of the capacitor element, the same metallic component as that of the inner electrodes 2 is used as the main component. The terminal electrode layers 3 are baked simultaneously as with the baking of the capacitor element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243650

(P2000-243650A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル*(参考)
H 0 1 G 4/12	3 5 5	H 0 1 G 4/12	3 5 5 5 E 0 0 1
	3 6 4		3 6 4

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願平11-42538

(22) 出願日 平成11年2月22日(1999.2.22)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 西村 勉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 御堂 勇治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

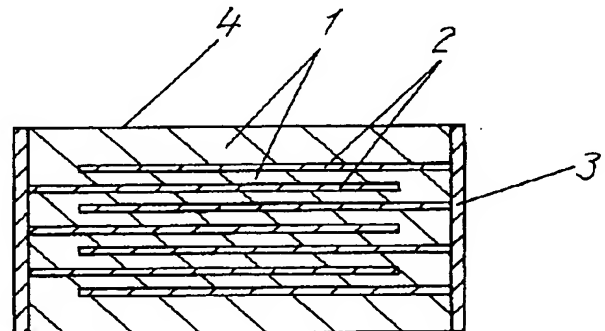
最終頁に続く

(54) 【発明の名称】 積層セラミックコンデンサおよびその製造方法

(57) 【要約】

【課題】 内部電極と端子電極の接続を確実に確保し、同時に、薄層高積層の大容量積層セラミックコンデンサを内部構造欠陥なく作製し、さらに高い信頼性を実現する。

【解決手段】 高温で焼成することにより形成されるセラミック誘電体からなるコンデンサ素子の内部電極2が、薄膜形成法あるいは無電解メッキ法により形成され、焼成後の平均厚みが0.3 μ m以上1.0 μ m以下であり、そのコンデンサ素子の端子電極層3が内部電極2と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成するものである。



【特許請求の範囲】

【請求項 1】 セラミック誘電体からなるコンデンサ素子の内部電極層が、スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成される積層セラミックコンデンサ。

【請求項 2】 セラミック誘電体からなるコンデンサ素子の内部電極層が、薄膜形成法により形成され、焼成後の平均厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成される積層セラミックコンデンサ。

【請求項 3】 セラミック誘電体からなるコンデンサ素子の内部電極層が、無電解メッキ法により形成され、焼成後の平均厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成される積層セラミックコンデンサ。

【請求項 4】 内部電極がニッケルである請求項 1、2 または 3 のいずれか一つに記載の積層セラミックコンデンサ。

【請求項 5】 端子電極がニッケル粉末を主成分とし、添加物として素体の誘電体材料と同組成の共生地を 5 重量%以上 50 重量%以下の範囲で加えた無機成分と少なくとも有機バインダと溶剤を混練してなるペーストにより形成される請求項 1、2 または 3 のいずれか一つに記載の積層セラミックコンデンサ。

【請求項 6】 スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下の内部電極層または薄膜形成法あるいは無電解メッキ法により形成され焼成後の厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の内部電極層とチタン酸バリウムを主成分とする誘電体層が、所望の層数積層されてなる未焼結積層セラミックコンデンサを作製し、その未焼結積層セラミックコンデンサを大気中 200°C 以下の温度で乾燥硬化させた後、面取りを行い、その面取りを行った未焼結積層セラミックコンデンサの端面に端子電極ペーストを塗布、乾燥させた後、脱脂し、さらに焼成する積層セラミックコンデンサの製造方法。

【請求項 7】 スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下の内部電極層または薄膜形成法あるいは無電解メッキ法により形成され焼成後の厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の内部電極層とチタン酸バリウムを主成分とする誘電体層が、所望の層数積層されてなる未焼結積層セラミックコンデンサを作製し、その未焼結積層セラミックコンデンサを大気中 200°C 以下の温度で乾燥硬化させ、その端面に端子電極ペーストを塗布、

乾燥させた後、面取りを行い、面取りを行った端子電極形成済未焼結積層セラミックコンデンサを脱脂し、さらに焼成する積層セラミックコンデンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体層が薄層高積層化するに伴い、内部電極層が薄層化しても、内部電極と外部電極との接続が充分にとれる積層セラミックコンデンサおよびその製造方法に関するものである。

【0002】

【従来の技術】積層セラミックコンデンサは、電極と誘電体材料とが層状に構成されているもので、セラミック作製技術により一体化、固体化されるため、小型、大容量のものが得られる。さらに電極が内蔵されるため、磁気誘導成分が少なく高周波用途にも優れた性能を示す。またチップ型はリード線がないため、部品実装の際直付けが可能で電子機器の小型軽量化への要求にもマッチし、今後益々発展が期待される。

【0003】一方、コンデンサの材質における分類から、アルミ電解、タンタル電解、有機フィルムなどが上

げられ、積層セラミックコンデンサの容量範囲からそれらのすべてと競合関係にある。このような積層セラミックコンデンサに対する今後の要求は、小型化、大容量化、低価格化である。

【0004】小型化に対しては、チップ形状が、 $3.2\text{mm} \times 1.6\text{mm}$ から $2.0\text{mm} \times 1.25\text{mm}$ や $1.6\text{mm} \times 0.8\text{mm}$ さらには、 $1.0\text{mm} \times 0.5\text{mm}$ 、 $0.6\text{mm} \times 0.3\text{mm}$ へという取り組みがなされている。

【0005】低価格化については、内部電極を卑金属化することが行われている。特に、薄層高積層からなる大容量品においては、生産コストに占める内部電極材料コストの比率が極めて高く、内部電極の卑金属化、特にニッケル (Ni) 化が目覚しく進展している。

【0006】大容量化に向けては、現在、積層セラミックコンデンサとしての容量域の拡大、同じ容量をより小型の形状で実現するための取り組みが精力的に進められており、誘電体材料の高誘電率化、高積層化、誘電体層の薄層化が有効な手段である。

【0007】とりわけ誘電体層の薄層化は、規格寸法内でできるだけ大きな容量を得ようとする時に最も有効な方法である。そのため工法面から多くの取り組みがなされている。

【0008】次に、誘電体層を薄層高積層化するに当たって、重要な鍵となるのが、内部電極の存在である。積層セラミックコンデンサは、既によく知られているように、内部電極を有する誘電体層が多数積み重ねられ、内部電極が積層体の端面に交互に引き出された構造をしている。すなわち、積層方向に並列接続した形となり、積層数が多くなれば多くなるほど取得容量を大きくすることができ

【0009】しかしながら、積層セラミックコンデンサは上記の構造をとるため、内部電極は全面に形成することができない。すなわち、素体側面と内部電極との間には絶縁性を確保するための一定幅のマージンを必要とし、また素体端面と、その端面とは反対の端面に引き出される内部電極層との間にも同じ理由で一定幅のマージンが必要となる。そのため、内部電極層の存在する部分と、存在しない部分では本来厚みが異なることとなる。実際は、積層プレス時に、内部電極層の厚みは、誘電体層の圧縮により吸収されることとなるが、誘電体層が薄層化した際には、十分に吸収することができず、積層不良の原因となる。そのため、誘電体層の薄層化を実現するには、同時に内部電極層も薄層化しなければならない。

【0010】内部電極層の薄層化については、例えば、特開平1-42809号などに薄膜形成法により内部電極を形成する方法が開示されている。また、内部電極層を無電解メッキ法により形成する方法が、特開平6-232000号に開示されている。

【0011】次に積層セラミックコンデンサの端子電極の従来構成について説明する。

【0012】内部電極として貴金属のPdが用いられている積層セラミックコンデンサの場合、素体焼成後、内部電極層と電気的導通を得るためにAgを主成分とする端子電極（外部電極）用ペーストが空气中600℃から800℃程度の温度で焼き付けられているのが一般的である。

【0013】一方、卑金属のNiを内部電極とする積層セラミックコンデンサにおいては、端子電極としてAgを用いることはほとんどない。なぜならばAgはNiと合金を作らないため容量を得ることができなくなるからである。

【0014】そのため、端子電極層を、内部電極層のニッケルと容易に電気的導通が得られる銅ペーストを用いて、焼成後に窒素雰囲気中で焼き付けるという方法がとられている。そのため、製品の角のチップングなどを防止し、耐たわみ性能を上げるための面取りは、焼成後に行われる。

【0015】前記の方法によって形成された端子電極層を焼き付けた後、ニッケルメッキさらにはんだ付け性を良くするためのスズメッキあるいはハンダメッキを施すことにより、積層セラミックコンデンサが得られる。

【0016】

【発明が解決しようとする課題】積層セラミックコンデンサに要望される性能には電気的特性、耐熱性、機械的強度、信頼性など多岐にわたる項目がある。

【0017】デラミネーション、クラックなどの内部構造欠陥については、従来の技術において示した、内部電極を薄膜形成法や、無電解メッキ法により薄層化することにより、ほぼ解消することが可能である。

【0018】しかしながら、電気的特性、とりわけ内外電の接続については、内部電極層が薄層化するに従って、困難となる。焼成後に端子電極としてCuを窒素中で焼き付ける場合、端子電極形成が素体の内部構造欠陥を引き起こす原因となることは少ない。しかしながら、内部電極との電気的導通がとりにくく、設計どおりの容量が得られないという問題がある。それは一般にCuを焼き付ける温度が700℃から900℃と低く、薄い内部電極層のNiと十分に合金化しないためである。

10 【0019】また、薄層高積層化に対して、内部電極によって生じる段差を、内部電極の薄層化により低減するのではなく、段差を埋める工法も種々開示されている（例えば、特開平1-179407号、特開平1-208824号など）。

【0020】しかしながら、これらの工法は工程数が増えると共に、煩雑となり、生産性を大きく損なうという問題が有る。特に、ただでさえ工数のかかる高積層品については、生産性が低いという工法は大きな問題である。

20 【0021】さらに、容量を得るための内部電極の重なり部分の厚みより、端面への引出し部分の厚みが厚くなるようにする方法も種々開示されている（例えば、特開平6-231992号など）。

【0022】しかしながらこの工法も、前述の段差を解消する工法と同様に、内外電の接続についての課題は解決できるが、工程数が増え煩雑となり、生産性を大きく損なうという問題が有る。

30 【0023】本発明は、誘電体層が薄層高積層化しても、デラミネーション、クラックなどの内部構造欠陥を生じること無く、かつ内外電の接続が充分にとれ、設計容量が確実に得られる積層セラミックコンデンサおよびその製造方法を提供することを目的とするものである。

【0024】

【課題を解決するための手段】上記課題を解決するために、本発明は、セラミック誘電体からなるコンデンサ素子の内部電極層が、スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが0.5μm以上1.5μm以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成されるものである。

【0025】

【発明の実施の形態】請求項1に記載の発明は、セラミック誘電体からなるコンデンサ素子の内部電極層が、スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが0.5μm以上1.5μm以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成されるものである。

50 【0026】また、請求項2に記載の発明は、セラミック誘電体からなるコンデンサ素子の内部電極層が、薄膜

形成法により形成され、焼成後の平均厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成されるものである。

【0027】また、請求項3に記載の発明は、セラミック誘電体からなるコンデンサ素子の内部電極層が、無電解メッキ法により形成され、焼成後の平均厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であり、該コンデンサ素子の端子電極が内部電極層と同じ金属成分を主成分とし、かつコンデンサ素子と同時に焼成されるものである。

【0028】また、請求項4に記載の発明は、請求項1、2または3のいずれか一つに記載の内部電極がニッケルであるものである。

【0029】また、請求項5に記載の発明は、請求項1、2または3のいずれか一つに記載の端子電極がニッケル粉末を主成分とし、添加物として素体の誘電体材料と同組成の共生地を5重量%以上50重量%以下の範囲で加えた無機成分と少なくとも有機バインダと溶剤を混練してなるペーストにより形成されるものである。

【0030】また、請求項6に記載の発明は、スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下の内部電極層または薄膜形成法あるいは無電解メッキ法により形成され焼成後の厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の内部電極層とチタン酸バリウムを主成分とする誘電体層が、所望の層数積層されてなる未焼結積層セラミックコンデンサを作製し、その未焼結積層セラミックコンデンサを大気中 200°C 以下の温度で乾燥硬化させた後、面取りを行い、その面取りを行った未焼結積層セラミックコンデンサの端面に端子電極ペーストを塗布、乾燥させた後、脱脂し、さらに焼成するものである。

【0031】また、請求項7に記載の発明は、スクリーン印刷法あるいはグラビア印刷法により形成され、焼成後の平均厚みが $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下の内部電極層または薄膜形成法あるいは無電解メッキ法により形成され焼成後の厚みが $0.3\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の内部電極層とチタン酸バリウムを主成分とする誘電体層が、所望の層数積層されてなる未焼結積層セラミックコンデンサを作製し、その未焼結積層セラミックコンデンサを大気中 200°C 以下の温度で乾燥硬化させ、その端面に端子電極ペーストを塗布、乾燥させた後、面取りを行い、面取りを行った端子電極形成済未焼結積層セラミックコンデンサを脱脂し、さらに焼成するものである。

【0032】以上の構成および製造方法により誘電体層が薄層高積層化しても、デラミネーション、クラックなどの内部構造欠陥を生じること無く、かつ内外電の接続が充分にとれ、設計容量が確実に得られるという作用を有するものである。

【0033】（実施の形態1）まず、チタン酸バリウムを主成分とする平均粒径約 $0.8\mu\text{m}$ の誘電体材料粉末

と有機バインダと可塑剤からなるスラリーを作製した。そのスラリーを用いて、ドクターブレード法によりPETフィルム上にグリーンシートを成形した。グリーンシートの乾燥後の厚みは約 $5.5\mu\text{m}$ になるように調節した。なお、積層時の上下無効層を形成するためのシートとして、上記のスラリーで乾燥後約 $50\mu\text{m}$ のグリーンシートも成形した。

【0034】次に、PETフィルム上に、ニッケルを主成分とする導電性ペーストを用い、スクリーン印刷法により、所望の内部電極パターンを形成した転写用電極シートを作製した。ここで使用したPETフィルムの表面には、導電性ペーストをはじかず、かつ電極転写時の剥離性がよい離型処理が施されている。導電性ペーストに使用したNi粉末の平均粒径は約 $0.3\mu\text{m}$ である。印刷用スクリーンには500メッシュ、乳剤厚 $3\mu\text{m}$ のステンレスメッシュをはじめとし、焼成後の内部電極厚みを種々変えられるように複数種の版を使用した。また、導電性ペーストを溶剤で希釈することによっても、焼成後の内部電極厚みを所望の値に調整した。

【0035】以上のようにして準備したグリーンシートおよび転写用電極シートを用いて、未焼結積層セラミックコンデンサ（以後、生チップと示す）を作製する。なお、積層時のワークサイズは $15\text{cm} \times 15\text{cm}$ とした。そのため、複数個の生チップを一度に積層することとなる。作製した生チップの構成は、上下の無効層が $50\mu\text{m}$ シート3枚、誘電体層が250層とした。積層は誘電体シート、電極シート共、PETフィルムが付いたまま取り扱い、転写工法により、前記の構成になるまで、転写積層を繰り返した。転写条件は 85°C 、 $100\text{kg}/\text{cm}^2$ とした。その後、このようにして得られた生チップの集合体を個片に切断する。図2に生チップの断面図を示す。積層数や寸法比については簡略化している。ここで、1は誘電体層を、2は内部電極を示している。

【0036】生チップの寸法は、焼成後に $2.0\text{mm} \times 1.25\text{mm}$ （20125タイプ）の形状になるようにあらかじめ焼結収縮を考慮して設計した。

【0037】以上のようにして作製した生チップを、大気中 200°C で乾燥硬化させた後、面取りを行い、その面取りを行った生チップの端面に端子電極ペーストを塗布、乾燥させた。乾燥硬化後の重量減少は約3から4%であった。端子電極ペーストのNi粉末には、内部電極と同様、 $0.3\mu\text{m}$ のものをを用いた。また、共生地の添加量は10重量%とした。これらの無機成分と、あらかじめ調製しておいた有機バインダとしてのエチルセルロース、溶剤としての α -テルピネオールからなるビヒクルとを三本ロールミルで混練し端子電極ペーストを得た。端子電極層の乾燥後の塗布厚みは約 $20\mu\text{m}$ である。

【0038】次にこのようにして得られた端子電極付きの生チップを各ロット500個ずつ窒素雰囲気中 400

℃で4時間保持することにより脱バインダシ、さらに低酸素分圧雰囲気中にて1300℃で2時間保持することにより本焼成を行った。

【0039】図3に端子電極を塗布して焼成した積層セラミックコンデンサの断面図を簡略化して示す。面取り部分については図において表現を省略している。ここで、1は誘電体層、2は内部電極、3は端子電極層、4は焼成後の生チップをそれぞれ示す。

【0040】以上のようにして作製した焼結体に、端子電極部分全体を覆うように外部電極用銀ペーストを塗布乾燥し、ベルト炉で大気中にて600℃で焼き付けを行い第2の端子電極層を形成した。さらに前記第2の端子電極層上にニッケル層およびはんだ層を、電解メッキ法にて各45分間メッキを行うことにより形成しNi内電積層セラミックコンデンサを得た。ニッケルメッキの厚みは約2μm、ハンダメッキの厚みは約1μmであった。

【0041】図1に上記のようにして作製されたNiを内部電極とする積層セラミックコンデンサの断面図を簡略化して示す。ここで、1は誘電体層、2は内部電極、3は端子電極層、5は第2の端子電極層、6はニッケルメッキ層、7はハンダメッキ層、8は積層セラミックコンデンサをそれぞれ示す。

【0042】以上のようにして作製した試料を用い種々の評価を行った。(表1)に作製した積層セラミックコンデンサを、焼成後の内部電極厚みによって整理し、あわせて評価結果も記載した。(表1)において*印を付けたロットは本発明の範囲外のものであり、比較例として記載したものである。

【0043】比較例としては、端子電極を形成せず、焼

結体を面取りした後、市販のCu外電ペーストを塗布、乾燥させた後、900℃窒素雰囲気中で焼き付けたものも用意した。なお、Cu外電品においても同様のメッキ処理を行った。

【0044】また#印を付けたロットは端子電極ペーストを塗布せず焼成したもので、素体だけで焼成した場合の内部構造を確認するために用意したものである。

【0045】次に、評価項目および評価方法について説明する。内部構造欠陥は、作製した積層セラミックコンデンサの中から無作為に選択したものをL方向とW方向に各50個ずつ樹脂埋めし、研磨の後、光学顕微鏡により内部構造の確認を行った。研磨はL方向であれば内部電極が見えはじめる位置(端部)と素体中央部の2点まですすめ確認した。またW方向の場合は対向電極が見えはじめる位置(端部)と素体中央部の2点で確認した。その結果を同じく(表1)に示した。また、同試料により焼成後の誘電体層の厚みを測定したところ約3.5μmであった。

【0046】次に内部電極と端子電極の接続状態については二通りの方法で評価を行った。ひとつは、接続状態を光学顕微鏡で観察し、定性的に評価したものである。評価用試料としては内部構造欠陥を評価するためにL方向に樹脂埋めしたものをを用いた。なお、評価位置は中央部とした。もう一方は、試料100個について容量測定を行い、設計どおりの容量が得られているかを評価した。そして設計容量に対して10%以上容量が低いものを容量抜け(C小品と示す)と判断し、その割合を(表1)中に示した。

【0047】

【表1】

ロット No.	焼結後の 内部電極の 平均厚 (μm)	端子電極 の種類	評 価 項 目						備 考
			内部構造欠陥			内部電極と端子電極 の接続性			
			L方向		W方向	定性的評価		C小率	
			端部	中央部		端部	中央部		
#1	0.3	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#2		Ni	0/50	0/50	0/50	0/50	良	48/100	
#3		Cu	0/50	0/50	0/50	0/50	不良	100/100	
#4	0.5	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#5		Ni	0/50	0/50	0/50	0/50	良	7/100	
#6		Cu	0/50	0/50	0/50	0/50	不良	89/100	
#7	0.7	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#8		Ni	0/50	0/50	0/50	0/50	良	2/100	
#9		Cu	0/50	0/50	0/50	0/50	不良	76/100	
#10	1.0	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#11		Ni	0/50	0/50	0/50	0/50	良	0/100	
#12		Cu	0/50	0/50	0/50	0/50	不良	52/100	
#13	1.5	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#14		Ni	0/50	0/50	0/50	0/50	良	0/100	
#15		Cu	0/50	0/50	0/50	0/50	不良	18/100	
#16	1.8	-	4/50	4/50	3/50	5/50	-	-	端子電極層無し
#17		Ni	3/50	4/50	2/50	1/50	良	0/100	
#18		Cu	5/50	4/50	3/50	3/50	良	4/100	
#19	2.0	-	8/50	11/50	13/50	11/50	-	-	端子電極層無し
#20		Ni	9/50	10/50	11/50	9/50	良	0/100	
#21		Cu	13/50	18/50	14/50	12/50	良	0/100	

【0048】（表1）の結果より明らかなように、本発明により、内部電極が薄層化しても電気的導通が確実に得られ、内部構造欠陥が皆無のNi内電極層セラミックコンデンサを実現することができる。また本発明の請求項において範囲限定をした根拠についても、（表1）より明らかである。つまり、内部電極厚みが0.5 μm よりも薄くなると内部電極自体に連続性が得られず、設計した容量を得ることができない。また1.5 μm よりも厚くなると、端子電極の有無にかかわらず内部構造欠陥が発生することとなるからである。

【0049】本実施の形態においては、内部電極の形成

40 方法としてスクリーン印刷法を用いたが、グラビア印刷方法においても同様の効果が得られることを確認した。

【0050】さらに、内部電極用のNi粉についても平均粒径0.3 μm のものに限るものではない。しかし、薄層化を可能にする上では、少なくとも0.4 μm 以下のものが望ましい。

【0051】（実施の形態2）まず実施の形態1と同様の方法で、誘電体グリーンシートを作製した。

【0052】次に、電極層を蒸着によりPETフィルム上に形成した。その方法は、電極層となる部分に穴を設けた所定のパターンを有するマスク用フィルムを用意

11

し、これを基板としてのPETフィルムと重ねあわせて真空蒸着装置に挿入配置する。そして、蒸着源のニッケルを加熱蒸発させてマスク用フィルム上から蒸着し、PETフィルム上に所定のパターンを有する電極層シートを作製した。

【0053】以下、実施の形態1に示したのと同様の方法で積層セラミックコンデンサを作製し、同様の評価を行った。その結果を(表2)に示した。(表2)におい*

12

*て*印を付けたロットは本発明の範囲外のものであり、比較例として記載したものである。また#印を付けたロットは端子電極ペーストを塗布せず焼成したもので、素体だけで焼成した場合の内部構造を確認するために用意したものである。

【0054】

【表2】

ロット No.	焼結後の 内部電極の 平均厚 (μm)	端子電極 の種類	評 価 項 目						備 考
			内部構造欠陥			内部電極と端子電極 の接続性			
			L方向		W方向	定性的評価		C小車	
			端部	中央部		端部	中央部		
#22	0.2	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#23		Ni	0/50	0/50	0/50	0/50	良	37/100	
#24		Cu	0/50	0/50	0/50	0/50	不良	100/100	
#25	0.3	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#26		Ni	0/50	0/50	0/50	0/50	良	5/100	
#27		Cu	0/50	0/50	0/50	0/50	不良	73/100	
#28	0.5	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#29		Ni	0/50	0/50	0/50	0/50	良	0/100	
#30		Cu	0/50	0/50	0/50	0/50	不良	66/100	
#31	0.7	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#32		Ni	0/50	0/50	0/50	0/50	良	0/100	
#33		Cu	0/50	0/50	0/50	0/50	不良	49/100	
#34	1.0	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#35		Ni	0/50	0/50	0/50	0/50	良	0/100	
#36		Cu	0/50	0/50	0/50	0/50	不良	22/100	
#37	1.2	-	3/50	3/50	7/50	8/50	-	-	端子電極層無し
#38		Ni	8/50	4/50	3/50	5/50	良	0/100	
#39		Cu	8/50	7/50	4/50	6/50	不良	9/100	
#40	1.5	-	17/50	12/50	16/50	12/50	-	-	端子電極層無し
#41		Ni	14/50	12/50	13/50	14/50	良	0/100	
#42		Cu	15/50	12/50	17/50	15/50	良	0/100	

【0055】(表2)の結果より明らかなように、本発明により、内部電極が薄層化しても電氣的導通が確実に得られ、内部構造欠陥が皆無のNi内電極層セラミック

50

コンデンサを実現することができる。また本発明の請求項において範囲限定をした根拠についても、(表2)より明らかなである。つまり、内部電極厚みが0.3 μm よ

りも薄くなると内部電極自体に連続性が得られず、設計した容量を得ることができない。また1.0 μ mよりも厚くなると、端子電極の有無にかかわらず内部構造欠陥が発生することとなるからである。ここで、内部電極の薄層限界が、実施の形態1の場合に比べてより薄い側へ移っているのは、蒸着の場合、電極膜中に有機成分を含まないため、素体の焼成時に体積変化をを起こしにくいためである。逆に厚くした場合、内部電極層がスクリーン印刷の場合のように網目状になりにくいいため、その網目を通して上下の誘電体層がしっかり内部電極層を挟み込みにくくなり、内部構造欠陥が起りやすくなる。

【0056】本実施の形態においては、内部電極の形成方法として蒸着を用いたが、スパッタリング法を用いることも可能である。特に、蒸着法は蒸発速度が速いため金属膜の短時間形成が可能であり、望ましい方法であるが、金属膜の材料が合金系の場合は組成変動が起りやすいため、この場合はスパッタリングを用いることが望ましい。

【0057】また、内部電極のパターニングについては、マスクを使用する方法を記載したが、この方法に限るものではなく、PETフィルム全面に金属膜を蒸着し、その後、エッチングによってパターニングする、あるいは積層転写時に、パターニングできるようにプレス

の金型面を加工するというのも有効な手段である。

【0058】（実施の形態3）まず実施の形態1と同様の方法で、誘電体グリーンシートを作製した。

【0059】次に、電極層を無電解ニッケルメッキによりPETフィルム上に形成した。その方法は、離型処理が施されたPETフィルム上に、所定のパターン状に内部電極に寄与する部分のみに穴をあけたマスクを準備し、フィルムと重ね合わせる。この重ね合わせた2枚組のフィルムのマスク側からパラジウム活性化処理液を塗布し、活性化処理を施す。次に、ヒドラジンあるいはホウ素系の還元剤を用いた無電解ニッケルメッキによりニッケルの金属箔からなる内部電極をPETフィルム上に形成した。

【0060】以下、実施の形態1に示したのと同様の方法で積層セラミックコンデンサを作製し、同様の評価を行った。その結果を（表3）に示した。（表3）において*印を付けたロットは本発明の範囲外のものであり、比較例として記載したものである。また#印を付けたロットは端子電極ペーストを塗布せず焼成したもので、素体だけで焼成した場合の内部構造を確認するために用意したものである。

【0061】

【表3】

15

16

ロット No.	焼結後の 内部電極の 平均厚 (μm)	端子電極 の種類	評 価 項 目						備 考
			内部構造欠陥				内部電極と端子電極 の接続性		
			L方向		W方向				
			端部	中央部	端部	中央部	定性的評価	C小率	
#43	0.2	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
#44		Ni	0/50	0/50	0/50	0/50	不良	48/100	
#45		Cu	0/50	0/50	0/50	0/50	不良	100/100	
#46	0.3	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
47		Ni	0/50	0/50	0/50	0/50	良	9/100	
#48		Cu	0/50	0/50	0/50	0/50	不良	91/100	
#49	0.5	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
50		Ni	0/50	0/50	0/50	0/50	良	3/100	
#51		Cu	0/50	0/50	0/50	0/50	不良	74/100	
#52	0.7	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
53		Ni	0/50	0/50	0/50	0/50	良	1/100	
#54		Cu	0/50	0/50	0/50	0/50	不良	44/100	
#55	1.0	-	0/50	0/50	0/50	0/50	-	-	端子電極層無し
56		Ni	0/50	0/50	0/50	0/50	良	0/100	
#57		Cu	0/50	0/50	0/50	0/50	不良	31/100	
#58	1.2	-	4/50	5/50	2/50	5/50	-	-	端子電極層無し
#59		Ni	6/50	4/50	3/50	5/50	良	0/100	
#60		Cu	7/50	7/50	3/50	5/50	不良	11/100	
#61	1.5	-	14/50	13/50	13/50	10/50	-	-	端子電極層無し
#62		Ni	18/50	11/50	13/50	12/50	良	0/100	
#63		Cu	16/50	14/50	14/50	13/50	良	2/100	

【0062】(表3)の結果より明らかなように、本発明により、内部電極が薄層化しても電気的導通が確実に得られ、内部構造欠陥が皆無のNi内電極層セラミックコンデンサを実現することができる。また本発明の請求項において範囲限定をした根拠についても、(表3)より明かである。つまり、内部電極厚みが $0.3\mu\text{m}$ よりも薄くなると内部電極自体に連続性が得られず、設計した容量を得ることができない。また $1.0\mu\text{m}$ よりも厚くなると、端子電極の有無にかかわらず内部構造欠陥が発生することとなるからである。ここで、内部電極の薄層限界が、実施の形態1の場合に比べてより薄い側へ

40 移っているのは、実施の形態2に示した蒸着の場合と同様の理由によるものである。また厚くした場合の結果についても同じである。

【0063】本実施の形態においては、内部電極の形状をパターンニングした状態で無電解メッキを行ったが、この方法に限るものではなく、PETフィルム全面に金属膜を無電解メッキにより形成し、その後、エッチングによってパターンニングする、あるいは積層転写時に、パターンニングできるようにプレス成型面を加工するというのも有効な手段である。

50 【0064】本実施の形態1から3において、誘電体層

として使用する誘電体材料については、詳しくは記載しなかったが、その理由は、本発明は誘電体材料組成により限定を受けるものではないためである。しかしながら、内部電極層としてNiを用いる場合においては、耐還元性を有する誘電体材料により誘電体層を形成しなければならないことはいうまでもない。

【0065】さらに付け加えるならば、本発明が、薄層高積層品を目的としているため、誘電体材料粉の平均粒径としては、 $1\mu\text{m}$ 以下のものが望ましく、さらには、 $0.8\mu\text{m}$ 以下のものを用いることが、信頼性を確保する上でより望ましい。

【0066】また、焼成前の生チップを作製するに際して、面取り工程を、端子電極ペーストを塗布する前に行った。しかし、面取り工程は、端子電極を塗布乾燥した後に行ったとしても問題は起こらないことを確認した。

【0067】また、端子電極ペーストとして、共粉が10重量%のものを用いたが、5重量%から50重量%まで内部電極との接続性を確保できることを確認した。なお範囲限定の根拠は、5重量%以下では内部電極との接続性は問題ないものの、素体との接着性が得られない。また50重量%以上では内部電極が厚くなっても接続性が十分に確保できず、電気的特性の中の $\tan\delta$ が悪化するという問題を発生するからである。

【0068】

【発明の効果】本発明により、誘電体層が薄層高積層化

しても、デラミネーション、クラックなどの内部構造欠陥を生じること無く、かつ内外電の接続が充分にとれ、設計容量が確実に得られる、信頼性の高い積層セラミックコンデンサを実現することが可能となる。と同時に、本発明の製造方法により、上記の積層セラミックコンデンサを、容易に、かつ高い歩留で製造することが可能となる。

【0069】さらに本発明により、市場の要望である小型大容量、低価格を実現することができ、ひいては電子機器の小型軽量化をも可能にすることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態における積層セラミックコンデンサの断面図

【図2】同焼成前の生チップの断面図

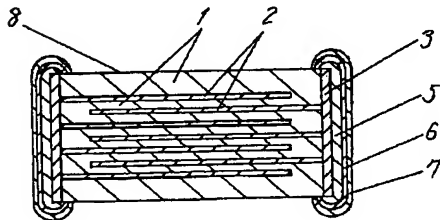
【図3】同端子電極層を塗布して焼成した積層セラミックコンデンサの断面図

【符号の説明】

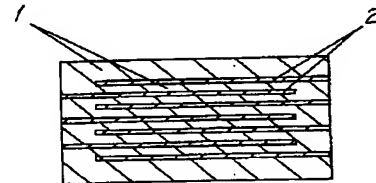
- 1 誘電体層
- 2 内部電極
- 3 端子電極層
- 4 焼成後の生チップ
- 5 第2の端子電極層
- 6 ニッケルメッキ層
- 7 ハンダメッキ層
- 8 積層セラミックコンデンサ

【図1】

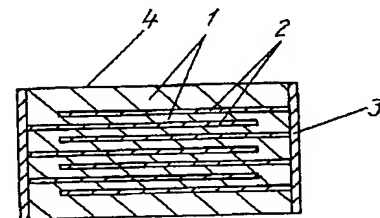
- 1 誘電体層
- 2 内部電極
- 3 端子電極層
- 5 第2の端子電極層
- 6 ニッケルメッキ層
- 7 ハンダメッキ層
- 8 積層セラミックコンデンサ



【図2】



【図3】



フロントページの続き

(72) 発明者 田井 伸幸
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 富岡 聡志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5E001 AB03 AC03 AC09 AD03 AE02
AE03 AF00 AF06 AH01 AH03
AH07 AH09 AJ01 AJ03

THIS PAGE BLANK (USPTO)